

특 2000-0056613

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/136
G02F 1/1343

(11) 공개번호 특2000-0056613
(43) 공개일자 2000년09월15일

| | |
|-----------|---|
| (21) 출원번호 | 10-1999-0006089 |
| (22) 출원일자 | 1999년02월24일 |
| (71) 출원인 | 엘지.필립스 엘시디 주식회사 구분준 서울특별시 영등포구 여의도동 20번지엘지.필립스 엘시디 주식회사 론 위라하디락사 |
| (72) 발명자 | 서울특별시 영등포구 여의도동 20번지 박성일 경상북도구미시도량2동88번지3주공아파트321동1408호 정재영 부산광역시수영구수영동494-4 양순석 |
| (74) 대리인 | |

심사청구 : 있음

(54) 액정표시장치

요약

본 발명은 액정표시장치에 관한 것으로서 매트릭스 상으로 배열된 게이트라인과 데이터라인의 교차부에 설치된 박막트랜지스터와, 상기 데이터라인 하부에 형성된 리턴전선층과, 상기 데이터라인을 덮는 보호층을 개재시켜 좌우에 인접되게 배치된 상기 리턴전선층과 소정 부분 중첩되게 화소영역에 형성된 화소전극을 포함하며, 상기 보호층을 유전막으로 사용하여 데이터라인 및 화소전극이 중첩되는 좌우 부분에 제 1 및 제 2 기생캐패시터를 갖되 상기 제 2 기생캐패시터가 상기 제 1 기생캐패시터 보다 큰 면적을 갖되 상기 보호층이 상기 제 1 기생캐패시터에서 상기 제 2 기생캐패시터 보다 두꺼운 두께로 형성되어 상기 제 1 및 제 2 기생캐패시터의 축전용량이 동일하도록 구성된다. 따라서, 화소 양측에 발생하는 기생캐패시터의 축전용량의 차를 감소시키거나 동일하게하여 구동시 간섭여기전압(ΔV)이 발생하는 것을 억제하므로 플리커(flicker), 크로스토크 및 잔상 등이 발생되어 화질이 저하되는 것을 방지할 수 있다.

도표도

도3

색인어

액정표시장치

명세서

도면의 간단한 설명

- 도 1는 종래 기술에 따른 액정표시장치의 평면도
- 도 2는 도 1을 A-A선으로 자른 단면도
- 도 3은 본 발명에 따른 액정표시장치의 평면도
- 도 4는 도 3을 B-B선으로 자른 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display : LCD)에 관한 것으로서, 특히, 광효율을 향상시키기 위한 개구율을 갖는 액정표시장치에 관한 것이다.

액정표시장치는 박막트랜지스터(Thin Film Transistor)로 이루어진 구동소자인 스위칭 소자와 빛을 투과 하거나 반사하는 화소(pixel) 전극을 기본단위로 하는 화소가 증황으로 배열된 구조를 가진다.

액정표시장치에서 스위칭소자인 박막트랜지스터와 이에 연결된 화소전극으로 구성된 단위 화소가 하부 기판 상에 어레이 상태로 증착되어 배열되어 있다. 어레이 상태로 배열된 단위 화소들은 증방향(또는 절방향)을 따라 배열된 각 박막트랜지스터의 게이트전극들이 서로 연결되어 신호를 전달하기 위해 적어도 하나 이상의 게이트 라인이 형성되고, 절방향(또는 증방향)을 따라서 배열된 각 박막트랜지스터의 소오스전극들이 서로 연결되어 신호를 전달하기 위해 적어도 하나 이상의 데이터 라인이 게이트 라인과 교차되어 형성된다.

또한, 상부 기판 상에는 화소 전극을 제외한 영역에 대응하는 위치에 형성된 블랙매트릭스, 화소전극에 대응하여 공통전압이 인가되는 공통전극 및 컬러필터가 형성되어 있다. 이와같은 상부 기판 및 하부 기판은 서로 합착되어 그 사이의 공간에 액정이 주입된다.

상술한 구조의 액정표시장치는 블랙매트릭스미 상부 기판 상에 형성되므로 상부 기판과 하부 기판을 합착할 때 발생할 수 있는 박막트랜지스터와 블랙매트릭스미 일치되지 않고 오정렬될 수 있으므로 블랙매트릭스를 오정렬에 대한 마진을 충분히 갖도록 형성하므로 개구율이 감소되는 문제점을 갖는다.

그러므로, 저유전율의 유기절연막을 사용하여 데이터라인과 화소전극을 증착되게 형성하므로 블랙매트릭스를 좁게 형성할 수 있어 개구율을 향상시키는 방법이 제시되었다.

상술한 구조의 액정표시장치의 구동을 위하여, 먼저, 게이트에 신호전압이 인가되면, 선택된 박막트랜지스터가 턴온(turn on) 되고, 이 시간동안에 화상에 관한 정보를 가진 데이터 신호가 박막트랜지스터를 통과하므로써 액정에 전계가 인가된다. 이 때, 캐패시터인 액정부분은 충전되는데, 이상적인 경우 액정에 충전된 충전하량은 게이트가 턴오프되어 다음 신호가 들어올 때까지 유지되어야 한다.

액정전압은 실제로 액정표시장치의 여러 가지 기생용량이 존재하므로 구동시 화소전압(V_p)은 간섭여기전압(ΔV)만큼의 변동이 있다. 도트 인버전(dot inversion)으로 구동되는 간섭여기전압(ΔV)은 근사적으로 다음 식에 의하여 표현된다.

$$\Delta V = (C_{g1} \cdot V_{g1} + C_{g2} \cdot V_{g2}) / (C_{g1} + C_{g2} + C_{cs} + C_{cl})$$

여기서, C_{g1} 는 화소전극과 N번째 데이터라인이 중첩되어 발생하는 기생축적용량이고, C_{g2} 는 화소전극과 N+1번째 데이터라인이 중첩되어 발생하는 기생축적용량이며, C_{cs} 는 화소의 축적용량이고, C_{cl} 는 액정을 사이에 두고 상부와 하부 기판의 투명전극에 의해 발생하는 기생축적용량이다. 또한, V_{g1} 는 N번째 데이터라인에 인가되는 전압이고, V_{g2} 는 N+1번째 데이터라인에 인가되는 전압이다.

이와 같은 간섭여기전압(ΔV)은 액정전압의 왜곡을 발생시키기 때문에 플리커(flicker), 크로스토크(crosstalk) 및 잔상의 주요원인이 된다. 그러므로, 간섭여기전압(ΔV)을 감소시키기 위해서는 C_{g1} 와 C_{g2} 의 차를 작게하여 기생축적용량을 보상하고, C_{cs} 를 크게하여야 한다.

도 1은 종래 기술에 따른 액정표시장치의 평면도이다.

종래 기술에 따른 액정표시장치는 기판(11) 상에 게이트라인(23)과 데이터라인(17)이 교차되게 형성되어 화소를 정의한다. 게이트라인(23)에는 게이트전극(236)이 연결되고, 데이터라인(17)에는 소오스전극(17S)이 연결되며 소오스전극(17S)에 대응되게 드레인전극(17D)이 형성되어 있다. 그리고, 게이트전극(236) 상에 활성층(16)이 소오스전극(17S) 및 드레인전극(17D)과 중첩되게 형성된다. 상기에서 게이트전극(236), 소오스 및 드레인전극(17S)(17D)과 활성층(16)은 스위칭소자인 박막트랜지스터(Thin Film Transistor)를 구성한다.

데이터라인(17) 하부에 활성층(16)과 동시에 형성되는 리던던시층(redundancy layer : 15)이 덮혀지게 형성된다.

화소영역의 전면에는 화소전극(17)이 형성되어 있다. 상기에서 화소전극(17)은 제 1 접촉홀(25)을 통해 드레인전극(17D)과 연결된다. 또한, 화소전극(17)과 이웃하는 게이트라인(23)은 일부분이 중첩되어 화소의 축적캐패시터를 이룬다. 상기에서 축적캐패시터에서 축적용량을 증가시키기 위해 게이트절연층과 보호층 사이에 제 2 접촉홀(29)을 통해 화소전극(17)과 전기적으로 연결되는 보조전극(27)이 형성될 수도 있다. 상기에서 보조전극(27)은 게이트라인(23)과 축적캐패시터의 전극으로 사용되므로 게이트절연층만을 유전막으로 사용하여 두께가 감소되므로 축적용량이 증가된다.

도 2는 도 1을 A-A선으로 자른 단면도이다.

기판(11) 상에 게이트절연층(13)을 개재시켜 리던던시층(15) 및 데이터라인(17)이 형성된다. 상기에서 데이터라인(17)은 리던던시층(15)을 에워싸도록 형성된다.

게이트절연층(13) 상에 데이터라인(17)을 덮도록 보호층(19)이 형성된다. 상기에서 보호층(19)은 유전율이 낮은 유기절연물질로 형성된다.

보호층(19) 상에 리던던시층(15)과 대응하는 부분이 노출되도록 화소전극(21)이 형성된다. 상기에서 화소전극(21)은 리던던시층(15)과 소정 부분이 중첩되게 형성되어 개구율을 향상시킨다.

상기에서 보호층(19)은 소정 화소전극(21)과 중첩되는 N번째 및 N+1번째의 데이터라인(17) 사이에서 각각 d_{12} 및 d_{21} 의 두께를 갖는다. 보호층(19)이 유기절연물질로 형성되는 경우, 유기절연물질이 호흡성이 좋으므로 이 보호층(19)의 표면이 평탄하게 되어 두께 d_{11} 및 d_{22} 는 동일하게 된다.

그러나, 상술한 종래 기술에 따른 액정표시장치는 소정 화소전극과 인접하는 데이터라인들의 각각 중첩되는 면적이 다르므로, 즉, 박막트랜지스터가 형성되는 쪽 보다 형성되지 않은 쪽이 더 크다. 그러므로, 화소전극과 중첩되는 각각의 데이터라인 사이 보호층의 두께가 동일하여도 기생축적용량이 균일하지 않으므로 간섭여기전압(ΔV)이 발생되어 플리커(flicker), 크로스토크(crosstalk) 및 잔상 등이 발생되어 화질

이 저하되는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 간섭여기전압(ΔV)이 발생을 억제하여 플리커(flicker), 크로스토크(crosstalk) 및 잔상 등이 발생되어 화질이 저하되는 것을 억제할 수 있는 액정표시장치를 제공함에 있다.

상기 목적을 달성하기 위한 본 발명의 액정표시장치는 매트릭스 상으로 배열된 게이트라인과 데이터라인의 교차부에 설치된 박막트랜지스터와, 상기 데이터라인 하부에 형성된 리턴던시층과, 상기 데이터라인을 덮는 보호층을 개재시켜 좌우에 인접되게 배치된 상기 리턴던시층과 소정 부분 중첩되게 화소영역에 형성된 화소전극을 포함하며 상기 보호층을 유전막으로 사용하여 데이터라인 및 화소전극이 중첩되는 좌우 부분에 제 1 및 제 2 기생캐패시터를 갖되 상기 제 2 기생캐패시터가 상기 제 1 기생캐패시터 보다 큰 면적을 갖되 상기 보호층이 상기 제 1 기생캐패시터에서 상기 제 2 기생캐패시터 보다 두꺼운 두께로 형성되어 상기 제 1 및 제 2 기생캐패시터의 축전용량이 동일하도록 구성된다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도 3은 본 발명에 따른 액정표시장치의 평면도이다.

본 발명에 따른 액정표시장치는 기판(31) 상에 게이트라인(43)과 데이터라인(37)이 교차되게 형성되어 화소를 정의한다. 게이트라인(43)에는 게이트전극(436)이 연결되고, 데이터라인(37)에는 소오스전극(37S)이 연결되며 소오스전극(37S)에 대응되게 드레인전극(37D)이 형성되어 있다. 그리고, 게이트전극(436) 상에 활성층(36)이 소오스전극(37S) 및 드레인전극(37D)과 중첩되게 형성된다. 상기에서 게이트전극(436), 소오스 및 드레인전극(37S)(37D)과 활성층(36)은 스위칭소자인 박막트랜지스터(Thin Film Transistor)를 구성한다.

데이터라인(37) 하부에 리턴던시층(35)이 형성된다. 상기에서 리턴던시층(35)은 활성층(36)과 동시에 형성되며 길게 형성되어 데이터라인(37)이 단차에 의해 전기적으로 개방(open)되는 것을 방지한다. 리턴던시층(35)은 데이터라인(37)으로 덮혀지되 일측, 예를 들면, 소오스전극(37S) 쪽의 모서리가 N번 째 데이터라인(37)의 일측 모서리와 일치되고 타측의 모서리는 N+1번 째 데이터라인(37)에 의해 노출되지 않게 형성된다.

화소영역의 전면에 화소전극(37)이 형성되어 있다. 상기에서 화소전극(37)은 데이터라인(37)과 중첩되게 형성되며 제 1 접촉홀(45)을 통해 드레인전극(37D)과 연결된다. 또한, 화소전극(37)과 이웃하는 게이트라인(43)은 일부분이 중첩되며 화소의 축적캐패시터를 이룬다. 축적캐패시터에서 화소전극(37)은 스토리지전극으로 사용되며 게이트라인(43)은 플레이트전극으로 사용되는 데, 유전막으로 도 4에 도시된 게이트절연층(33)과 보호층(39)이 사용된다. 상기에서 축적캐패시터에서 축전용량을 증가시키기 위해 게이트절연층(33)과 보호층(39) 사이에 보조전극(47)이 형성되며 제 2 접촉홀(49)을 통해 화소전극(37)과 전기적으로 연결될 수도 있다. 상기에서 보조전극(47)은 게이트라인(43)과 축적캐패시터의 전극으로 사용되므로 게이트절연층(33)만을 유전막으로 사용하여 두께가 감소되므로 축전용량이 증가된다.

도 4는 도 3을 B-B선으로 자른 단면도이다.

기판(31) 상에 게이트절연층(33)을 개재시켜 리턴던시층(35) 및 데이터라인(37)이 형성된다. 상기에서 리턴던시층(35)은 데이터라인(37)에 의해 덮혀지되 일측의 모서리는 N번 째 데이터라인(37)의 일측 모서리와 일치되고 타측의 모서리는 N+1번 째 데이터라인(37)에 의해 노출되지 않게 형성된다.

게이트절연층(33) 상에 데이터라인(37)을 덮도록 보호층(39)이 형성된다. 상기에서 보호층(39)은 마크릴, 테프론(Teflon), 사이토프(cytop), 불화폴리아릴에테르, 플루오르네이트 폴리아미드(fluorinated polyamide) 및 8CB(benzocyclobuten) 등의 유전율이 낮은 유기절연물질 중 어느 하나로 형성된다. 상기에서 보호층(39)이 마크릴, 테프론(Teflon), 사이토프(cytop), 불화폴리아릴에테르, 플루오르네이트 폴리아미드(fluorinated polyamide) 및 8CB(benzocyclobuten) 등의 유기절연물질 중 어느 하나로 형성되는 경우에는 이 유기절연물질의 호환성이 양호하므로 표면이 평탄하게 된다.

보호층(39) 상에 리턴던시층(35)과 대응하는 부분이 노출되도록 화소전극(41)이 형성된다. 상기에서 화소전극(41)은 리턴던시층(35)의 일측 부분과 소정 부분이 중첩되게 형성된다.

상기에서 데이터라인(37)과 화소전극(41)이 중첩되는 부분에 보호층(39)을 유전막으로 하는 각각의 기생 축적용량 C_1 및 C_2 를 갖는 기생캐패시터가 형성된다. 기생캐패시터는 데이터라인(37) 중 N번째와 중첩되어 형성되는 것의 면적 A_1 이 N+1번째와 중첩되어 형성되는 것의 면적 A_2 보다 작게 형성된다.

또한, 보호층(39)은 소정 화소전극(41)과 중첩되는 N번째 및 N+1번째의 데이터라인(37) 사이에서 각각 d_1 및 d_2 의 두께를 갖는다. 특히, 보호층(39)이 유기절연물질로 형성되는 경우, 유기절연물질이 호환성이 좋아 평탄하게 형성된다. 그러므로, 보호층(39)은 데이터라인(37)만 형성된 부분의 두께 d_2 는 데이터라인(37)과 리턴던시층(35)이 중첩되게 형성된 부분의 두께 d_1 보다 리턴던시층(35)의 두께 d_3 만큼 두껍게 형성된다.

그러므로, 기생캐패시터의 기생축적용량은 각각 $C_1 = \epsilon A_1 / d_1$ 및 $C_2 = \epsilon A_2 / d_2$ 가 된다. 상기에서 기생캐패시터들은 면적 A_1 이 면적 A_2 보다 크고, 두께 d_1 가 두께 d_2 보다 작으므로 기생축적용량은 $C_1 \approx C_2$ 이 된다.

따라서, 구동전압이 5V이고 도트 인버전(dot inversion)으로 구동되는 액정표시장치는 근사적인 간섭여기전압(ΔV)은,

$$\Delta V = 5V(C_1 - C_2) / (C_{01} + C_{02} + C_{d1} + C_{d2})$$

이 된다. 상기에서 $C_1 \equiv C_2$ 이므로 간섭여기전압(ΔV) $\equiv 0$ 이 된다.

따라서, 간섭여기전압(ΔV)이 발생되는 것을 억제하여 플리커(flicker), 크로스토크(crosstalk) 및 잔상 등이 발생되어 화질이 저하되는 것을 방지할 수 있다.

상술한 바와 같이 본 발명에 따른 액정표시장치는 데이터라인과 화소전극이 중첩되며 화소 양측에 발생되는 기생캐패시터의 면적 크기의 차에 의해 발생하는 기생축전용량의 차를 유전막으로 사용되는 보호층의 두께를 변화시켜 보상한다.

總總의 要點

따라서, 본 발명은 화소 영역에 발생하는 기생캐패시터의 축전용량의 차를 감소시키거나 동일하게하여 구동시 간섭여기전압(ΔV)이 발생하는 것을 억제하므로 플리커(flicker), 크로스토크(crosstalk) 및 잔상 등이 발생되어 화질이 저하되는 것을 방지할 수 있는 잇점이 있다.

(57) **장구의 범위**

청구항 1. 매트릭스 상으로 배열된 게이트라인과 데이터라인의 교차부에 설치된 박막트랜지스와, 상기 데이터라인 하부에 형성된 리턴단시층과, 상기 데이터라인을 덮는 보호층을 개재시켜 상부에 인접되게 배치된 상기 리턴단시층과 소정 부분 중첩되게 화소영역에 형성된 화소전극을 포함하며, 상기 보호층을 유전막으로 사용하여 데이터라인 및 화소전극이 중첩되는 좌우 부분에 제 1 및 제 2 기생캐패시터를 갖되, 상기 제 2 기생캐패시터가 상기 제 1 기생캐패시터 보다 큰 면적을 갖는 액정표시장치에 있어서,

상기 보호층이 상기 제 1 기생캐패시터에서 상기 제 2 기생캐패시터 보다 두꺼운 두께로 형성되어 상기 제 1 및 제 2 기생캐패시터의 축전용량이 동일하도록 구성된 액정표시장치.

청구항 2. 청구항 1에 있어서, 보호층이 아크릴, 테프론(Teflon), 사이토프(cytop), 불화폴리아릴에테르, BCB(benzocyclobuten) 및 플루오르네이트 폴리아미드(fluorinated polyamide)의 유전율이 낮은 유기 재료 중 어느 하나로 형성된 액정표시장치.

청구항 3. 청구항 1에 있어서 상기 리던던시출이 상기 제 1 캐패시터를 형성하는 데이터라인의 일측 모서리가 일치되고 상기 제 2 캐패시터를 형성하는 데이터라인의 타측에 덮히게 형성된 액정표시장치.

해구항 4. 청구항 10에 있어서 상기 보호층은 상기 제 2 캐패시터를 형성하는 부분이 상기 제 1 캐패시터를 형성하는 부분보다 상기 리턴선층의 두께 만큼 두껍게 형성된 액정표시장치.

55

501

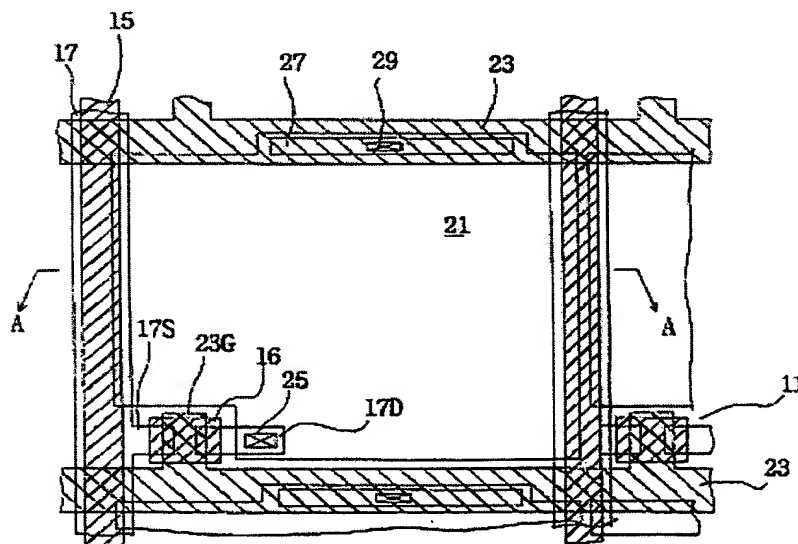


図 182

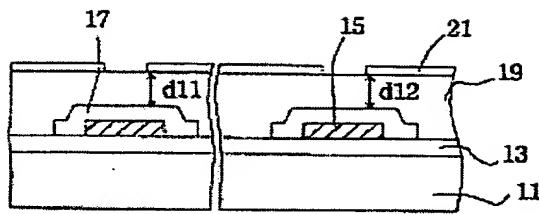


図 183

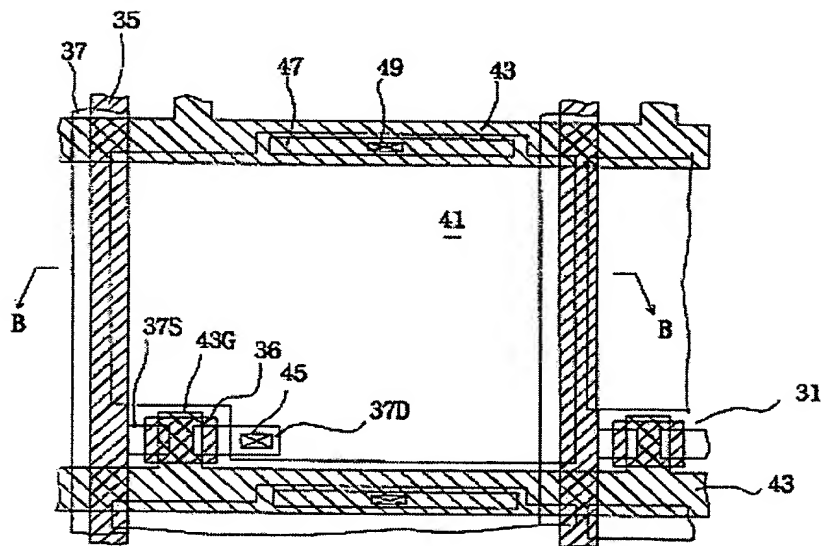


図 184

